

Circuits Combinatoires - LABO_02

Mayorquim@eisti.fr

EISTI - 13 Décembre 2004

1.1 Introduction

L'objectif du projet est de faire une initiation pratique à la conception des circuits combinatoires et le codage en **VHDL**.

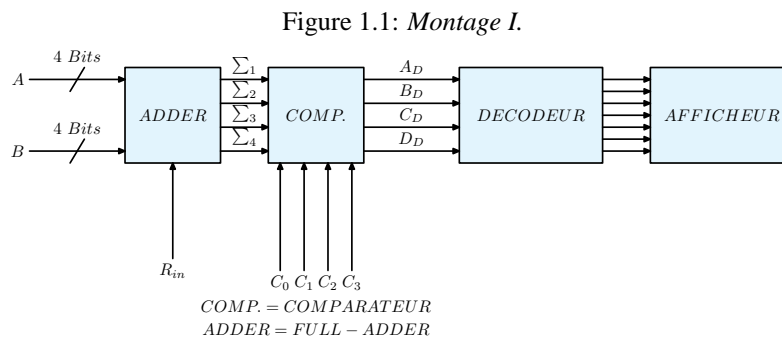
1.2 Montage de circuits combinatoires : Partie 1

1.2.1 Procédure

- ① Réaliser le circuit de la Figure 1.1 en utilise seulement les **datasheets** des circuit intégrés disponibles à l'adresse : corriges/jma/ELN_2005/Datsheet.
- ② L'afficheur doit présenter les informations comme l'illustré par le Tableau 1.1.

Table 1.1: *L'afficheur 7 segments.*

<i>Conditions</i>	<i>Afficheur</i>
Si $(A + B) > C$	1
Si $(A + B) = C$	0
Si $(A + B) < C$	-1



1.2.2 Questions

- ① Si le circuit est utilisé pour faire l'addition des **Lost Significant Bits - LSB**, il n'aura pas le retenue d'entrée. Quel est la valeur de la retenue d'entrée pour que le circuit soit un additionneur complet ?

- ② Si l'additionneur complet dépense T ms pour additionner les nombres, et N additionneurs complets sont combinés entre eux (cascade) pour additionner un nombre de N bits, combien de temps font-il pour N bits ? Pourquoi ?

1.3 Simulation en VHDL : Partie 2

1.3.1 Procédure

Écrivez en langage VHDL le code du circuit de la Figure 1.1 aux niveaux d'abstraction suivants :

- ① Structuré en utilisant la **library work**, i.e. créer votre propre **library** ;
- ② Structuré en utilisant la **library maxplus2** ;
- ③ Flot de données.