

Buffer de 3-États - LABO_03

Mayorquim@eisti.fr

EISTI - 5 Janvier 2005

1.1 Introduction

Buffer de trois états ou **tri-state** d'une porte logique d'un **Circuit Intégré - CI** plus complexe permettant d'obtenir les états logiques 0 ou 1, et un troisième état special (haute impédance), i.e. la sortie de la porte logique aura une impédance très haute, qui l'isole des autres circuits logiques. Ce troisième état permet de communiquer entre plusieurs **CI**s en utilisant deux domaines de conception de projets de système :

- ① Permet la communication entre plusieurs **CI**s en utilisant le même **bus**, i.e. la communication entre deux **CI**s ;
- ② Permet à deux **CI**s partageant le même **bus** d'envoyer/recevoir des données sous une forme bidirectionnelle.

La fonction logique à trois états permet de simplifier la quantité de **CI**s de façon considerable. Dans le cas contraire, la simplification s'opère sur le nombre de multiplexeurs.

Une sortie à trois états est essentielle dans la conception de presque tous les systèmes, qu'ils utilisent ou non des processeurs.

1.2 Circuits

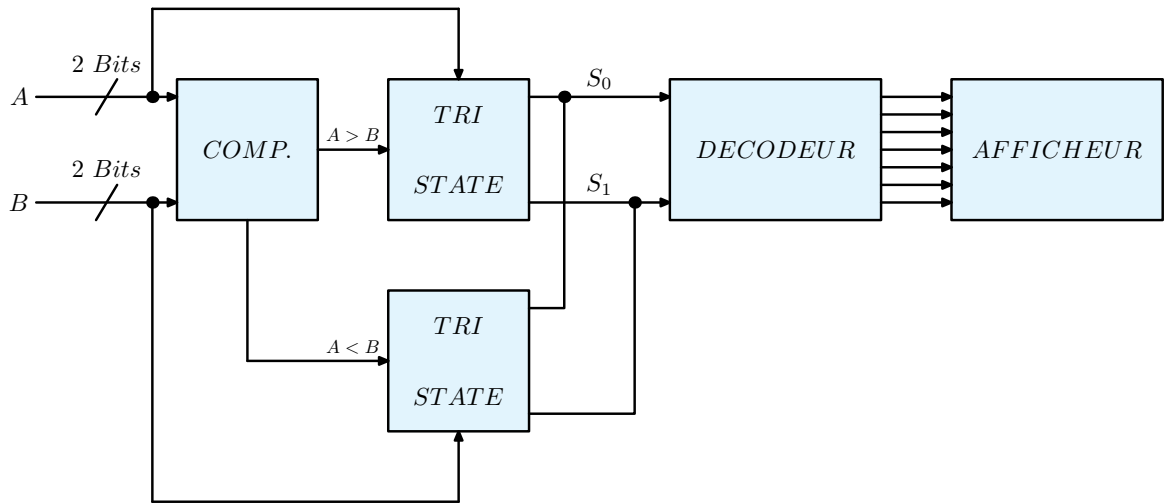
1.2.1 Montage :

Les propriétés fondamentales d'une sortie à trois états seront explorées.

1.2.1.1 Procédure

Projeter le circuit qui affiche la valeur la plus grande entre les mots *A* et *B* de 2 **bits**. Pour le projet, utiliser le bloc fonctionnel **Small Scaled Integrated - SSI** troisième état. Le circuit permettra également de visualiser la valeur du **bus** par un afficheur de sept segments.

Figure 1.1: *Montage I.*



COMP. = COMPAREUR

1.3 Simulation en VHDL

1.3.1 Procédure

Écrire en langage VHDL le code du circuit de la Figure 1.1 aux niveaux d'abstraction suivants :

- ① Structuré en utilisant la **library work**, i.e. créer votre propre **library** ;
- ② Structuré en utilisant la **library maxplus2** ;
- ③ Flot de données.